

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-239398

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

G01R 31/28

G06F 11/22

G11C 29/00

(21)Application number : 09-044333

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 27.02.1997

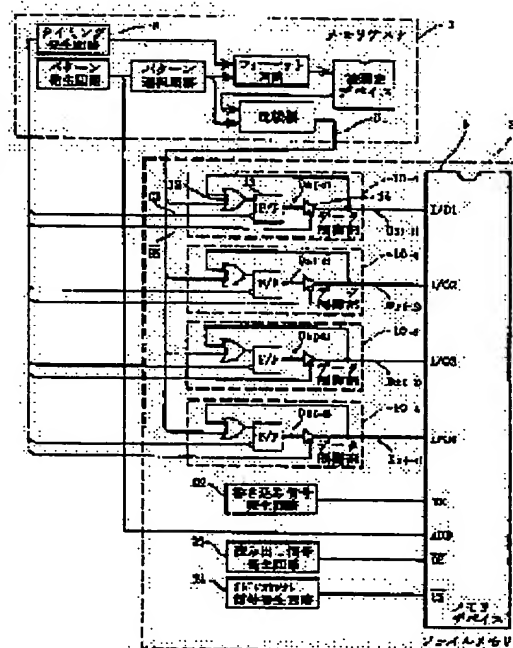
(72)Inventor : SUGIYAMA YUJI
TANABE KEIJI

(54) FAIL MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a fail memory capable of creating accumulated data even when multiple bit device is used.

SOLUTION: Before fail data from a memory tester 1 is inputted into a memory device 6, a logical sum of fail data with fail data at the identical address of one cycle previous time of the memory device 6 is calculated by an OR gate 12. The logical sum is made to be input data for an F/F 13. Output data of the F/F 13 is inputted to the memory device 6 when a three-state buffer 14 is in an enable condition and the data is fed back to the OR gate 12. Plural sets of the above circuits of which number of sets corresponds to the bit number of a memory IC are provided as data control sections 10-1-10-4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-239398

(43)公開日 平成10年(1998)9月11日

(51) Int.Cl. ^a	識別記号
G 0 1 R 31/28	
G 0 6 F 11/22	3 6 0
G.1 1 C 29/00	6 5 5

F I	
G 0 1 R	31/28
G 0 6 F	11/22
G 1 1 C	29/00

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平9-44333

(22)出願日 平成9年(1997)2月27日

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72) 發明者 杉山 有二

東京都大田区蒲田4丁目19番7号 安藤電
気株式会社内

(72)発明者 田邊 恵司

東京都大田区蒲田4丁目19番7号 安藤電
気株式会社内

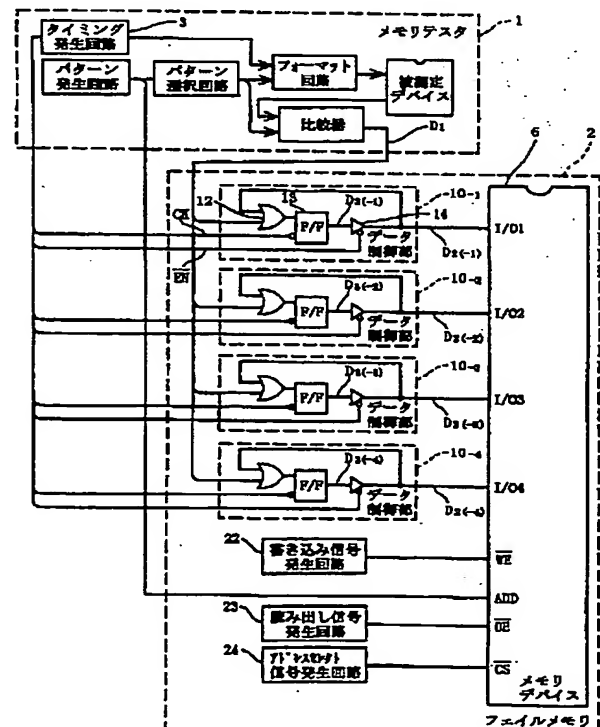
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 フェイルメモリ

(57) 【要約】

【課題】 多bitデバイスを採用した場合でも累積データが作成可能であるフェイルメモリを提供する。

【解決手段】 メモリスタ 1 によるフェイルデータをメモリデバイス 6 に書き込む前に、OR ゲート 1 2 によってメモリデバイス 6 の 1 サイクル前の同一アドレスのフェイルデータとの論理和を演算し、この論理和を $F/F13$ の入力データとする。そしてこの $F/F13$ の出力データを、3 ステートバッファ 1 4 がイネイブル状態の時にメモリデバイス 6 の入力データとするとともに OR ゲート 1 2 に帰還させる。また、以上の回路をデータ制御部 $10_{-1} \sim 10_{-4}$ としてメモリ IC のビット数分構成させる。



【特許請求の範囲】

【請求項1】 メモリICテスト手段(1)が出力するフェイルデータと当該フェイルデータを記憶するメモリデバイス(6)から読み出した出力データとの論理和を演算するORゲート(12)と、前記ORゲートの出力データをシステムクロックに同期させて保持するフリップフロップ(13)と、前記フリップフロップの出力を前記メモリデバイスの書き込みタイミングに合わせて当該メモリデバイスに供給するスイッチ(14)とを具備することを特徴とするフェイルメモリ。

【請求項2】 前記ORゲートと前記フリップフロップと前記スイッチとは、前記メモリデバイスに書き込まれるフェイルデータを保持するデータ制御回路(10₋₁~10₋₄)を構成し、前記フェイルデータが書き込まれる前記メモリデバイスの各ビット毎に前記データ制御回路を具備することを特徴とする請求項1に記載のフェイルメモリ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、メモリIC等の試験において測定デバイスを不良解析するために、その情報(フェイルデータ)を記憶させておくフェイルメモリに関する。

【0002】

【従来の技術】近年のメモリICは、その汎用機器の高性能化に伴い、大容量化・高速化が進んでいる。例えば、64Mbitデバイスの量産および、256Mbitデバイスの試作が行われ、更にメモリ容量の増加とともに、×8や×16等の多ビットデバイスが主流となっている。

【0003】上述したデバイスの場合、デバイステストの際にデバイスの不良情報(フェイルデータ)を解析するために、メモリテスト内には不良データを記憶させるフェイルメモリ回路を有している。

【0004】大容量で多ビットのデバイスを測定するメモリテストにおいては、更なるフェイルメモリの高性能化が要求される。そこで、測定する側であるフェイルメモリ回路には、今後量産の主流を占める多ビットメモリデバイスを採用し、それらを制御する回路が必要となっている。

【0005】こうした、メモリICの不良情報を記憶するフェイルメモリ回路には、一般にメモリデバイスが用いられる。図3は、従来技術による、フェイルメモリのメモリデバイス60に×1bitのメモリデバイスを使用した制御回路の構成を示すブロック図である。

【0006】図3に示す構成によれば、デバイステストによるフェイルデータを、メモリデバイス60の動作タイミングクロックと同期させ、書き込み信号/WE

(“/”は反転：バーを表す、以降同様)としてメモリ

デバイス60に入力する。

【0007】このとき、書き込み位置を示すアドレスも、アドレスセレクト信号発生回路54から入力される。フェイルメモリ61では、デバイステストの検査パターンにより、測定デバイスの同一アドレスに複数回アクセスしてテストする場合がある。

【0008】この場合、前のデータを消すことなく、各メモリセルの累積データとしてフェイルを記憶する必要がある。このため、メモリデバイスのデータ入力をすべてプルアップして、フェイルデータを信号/WEで入力する回路構成で実現している。なお図4は、図3に示す各部における信号の変化を示すタイミングチャートである。

【0009】

【発明が解決しようとする課題】従来のフェイルメモリでは、フェイルデータの記憶部分に多bitデバイスを採用した場合、ビット方向に独立した制御ができない。このため、同一アドレスのテストを行った場合、フェイルデータが書き代わってしまい、累積データとして記憶できないという問題があった。

【0010】この発明は、このような背景の下になされたもので、多bitデバイスを採用した場合でも累積データが作成可能であるフェイルメモリを提供することを目的としている。

【0011】

【課題を解決するための手段】上述した課題を解決するために、請求項1に記載の発明にあっては、メモリICテスト手段が出力するフェイルデータと当該フェイルデータを記憶するメモリデバイスから読み出した出力データとの論理和を演算するORゲートと、前記ORゲートの出力データをシステムクロックに同期させて保持するフリップフロップと、前記フリップフロップの出力を前記メモリデバイスの書き込みタイミングに合わせて当該メモリデバイスに供給するスイッチとを具備することを特徴とする。また、請求項2に記載の発明にあっては、請求項1に記載のフェイルメモリでは、前記ORゲートと前記フリップフロップと前記スイッチとは、前記メモリデバイスに書き込まれるフェイルデータを保持するデータ制御回路を構成し、前記フェイルデータが書き込まれる前記メモリデバイスの各ビット毎に前記データ制御回路を具備することを特徴とする。

【0012】この発明によれば、メモリICテスト手段によるフェイルデータをメモリデバイスに書き込む前に、ORゲートによってメモリデバイスの1サイクル前の同一アドレスのフェイルデータとの論理和を演算し、この論理和をフリップフロップの入力データとする。そしてこのフリップフロップの出力データを、スイッチがイネイブル状態の時にメモリデバイスの入力データとするとともにORゲートに帰還させる。

【0013】

【発明の実施の形態】以下に本発明について説明する。

図1は、本発明の一実施の形態にかかるフェイルメモリの構成を示すブロック図である。図1において、フェイルメモリ2内のメモリデバイス6は $\times 4$ ビットで構成され、デバイステストによってデータ制御部10₋₁、10₋₂、10₋₃および10₋₄（各々ビット1～4に対応）が出力するフェイルデータを記憶する。

【0014】以下に、データ制御部10₋₁～10₋₄について、データ制御部10₋₁を例に挙げて説明する。12はORゲートであり、1サイクル前に書かれたフェイルデータとデバイステスト結果によるフェイルデータとの論理和を出力する。

【0015】13はF/F（フリップフロップ）であり、ORゲート12からのフェイルデータを、書き込み信号/WEがイネイブルになると共にラッチする。14は3ステートバッファであり、F/F13でラッチされたフェイルデータを、F/F13と同様に/WEと共に出力する。なお、データ制御部10₋₂～10₋₄についてもデータ制御部10₋₁と同様であるので、説明は省略する。

【0016】次に、本実施の形態の動作について説明する。メモリテスト1内で行われるデバイステストによりフェイルデータが作成されると、このフェイルデータは、タイミング発生回路3が出力するシステムクロックに同期してフェイルメモリ2に送られる。

【0017】メモリデバイス6に書き込まれているフェイルデータは、読み出し信号/OEの入力と信号/CSへのアドレス指定によってI/O1、I/O2、I/O3およびI/O4から読み出される。

【0018】読み出されたフェイルデータは、各々データ制御部10₋₂～10₋₄が有するORゲート12の入力信号となる。こうして読み出されたフェイルデータは、次のデバイステストのフェイルデータとの論理和が演算され、F/F13によってラッチされる。

【0019】このようにF/F13でラッチされるまでは、データ制御部10₋₂～10₋₄はREADモードである。この場合、制御回路10₋₂～10₋₄内の3ステートバッファ14に入力されるイネイブル信号/ENが“H（ハイレベル）”であるため、その出力側はハイインピーダンス状態になっている。即ち、メモリデバイス6から読み出したデータをORゲート12に返す状態になっている。

【0020】フェイルデータがF/F13でラッチされた後は、データ制御部10₋₂～10₋₄はWRITEモードに切り替わる。即ち、F/F13から出力されたフェイルデータは、3ステートバッファ14を介してメモリデバイス6に入力される。

【0021】ここまでの動作がWRITEモードで、この後に上述したREADモードに移って動作し、さらにこの後にWRITEモードに切り替わるという動作が繰

り返される。

【0022】図2は、図1に示す各部における信号の変化を示すタイミングチャートである。フェイルデータD₁（図1参照）は、システムパルスに同期した一定周期で出力され、各ビット毎に制御回路10₋₂～10₋₄に入力される。

【0023】読み出し信号/OEが“L（ローレベル）”になることにより、メモリデバイス6がREADモードとなる。この状態において、信号/CSの立ち下がることにより（ダウンエッジで）、信号ADDがメモリデバイス6に読み込まれる。

【0024】ここで、ORゲート12によってフェイルデータD₁とフェイルデータD₂（図1参照）との論理和が演算される。このORゲート12の出力はF/F13に入力され、クロック信号CK（図1参照）によってラッチされる。このラッチの後、書き込み信号/WEがイネイブル、読み出し信号/OEがディセイブルであるWRITEモードとなる。

【0025】WRITEモード時には、3ステートバッファ14に入力されるイネイブル信号/ENが“L”になる。このため、F/F13の出力信号であるフェイルデータD₃の各ビットが、メモリデバイス6の対応するI/O1、I/O2、I/O3あるいはI/O4に入力される。

【0026】このように本実施の形態では、フェイルデータを記憶するメモリデバイスの同一アドレスに対して、READ/WRITEを行う。これにより、常に前のデータが参照し、内容が保持される。

【0027】即ち、あるアドレスで一度フェイルが検出されれば、その後の別のアドレスのテストでパスしてもフェイルデータが残され、テスト結果が累積データとしてフェイルメモリに記憶される。

【0028】なお、上述した実施の形態に用いられているF/Fはデータを一時的に保持するものであり、このF/Fの他にラッチ等でもよい。また3ステートバッファは、メモリデバイスの読み書きのタイミングに合わせてデータをオン/オフするものであり、3ステートバッファの他にスイッチ等であってもよい。この他メモリテスト等の詳細な構成は一例であり、本発明はこれらの構成に限定されない。

【0029】

【発明の効果】以上説明したように、この発明によれば、メモリICテスト手段によるフェイルデータをメモリデバイスに書き込む前に、ORゲートによってメモリデバイスの1サイクル前の同一アドレスのフェイルデータとの論理和を演算し、この論理和をフリップフロップの入力データとする。そしてこのフリップフロップの出力データを、スイッチがイネイブル状態の時にメモリデバイスの入力データとするとともにORゲートに帰還させるので、多ビットデバイスを採用した場合でも累積デ

ータが作成可能であるフェイルメモリが実現可能であるという効果が得られる。また、以上の回路をデータ制御回路としてメモリICのビット数分構成させることにより、メモリデバイスのビット方向の制御を可能にし、測定デバイスのフェイルデータを累積データとして記憶できる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態にかかるフェイルメモリの構成を示すブロック図である。

【図2】 図1に示す各部における信号の変化を示すタイミングチャートである。

【図3】 従来技術による、フェイルメモリのメモリデ

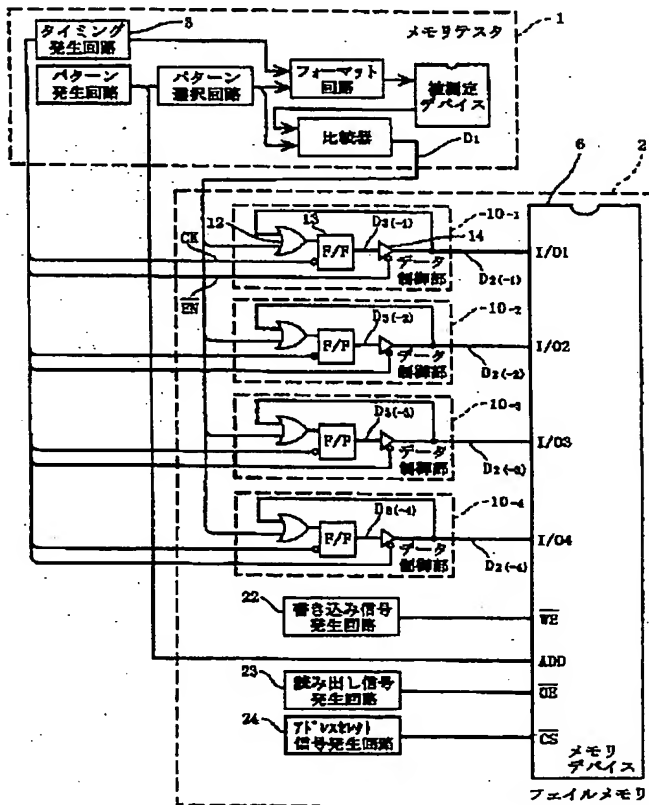
バイス60に×1bitのメモリデバイスを使用した制御回路の構成を示すブロック図である。

【図4】 図3に示す各部における信号の変化を示すタイミングチャートである。

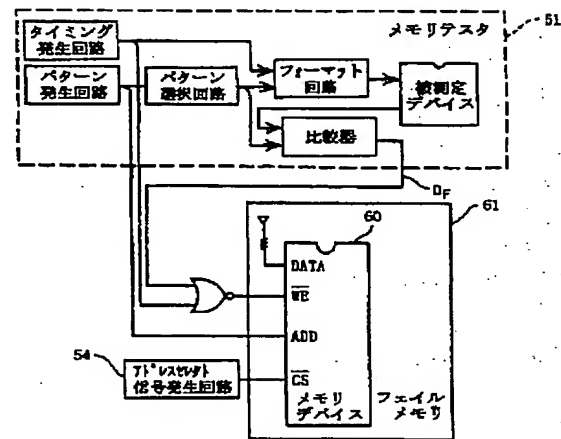
【符号の説明】

- 1 メモリテスト (メモリICテスト手段)
- 6 メモリデバイス
- 10₋₁～10₋₄ データ制御部 (データ制御回路)
- 12 ORゲート
- 13 F/F (フリップフロップ)
- 14 3ステートバッファ (スイッチ)

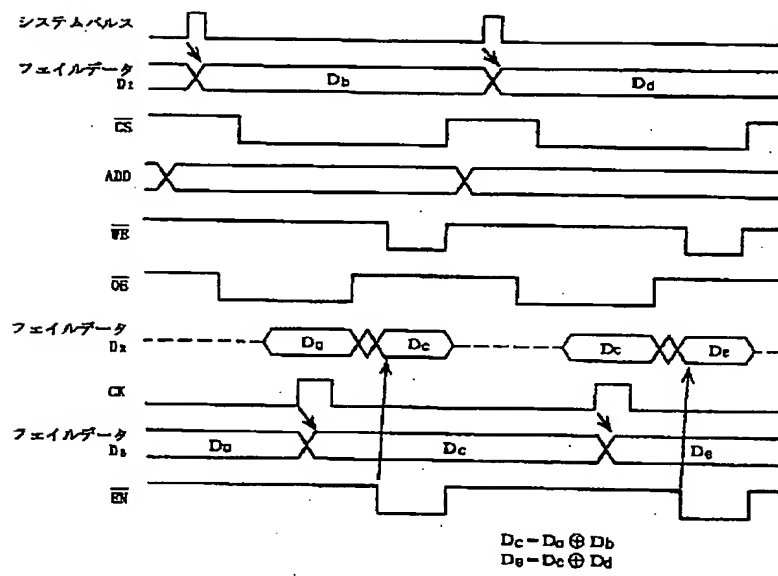
【図1】



【図3】



【図2】



【図4】

